

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Application No.:

Filed:

For: **DATA OUTPUT BUFFER CAPABLE
OF CONTROLLING DATA VALID
WINDOW IN SEMICONDUCTOR
MEMORY DEVICES**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-17568	20 March 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Farzad E. Amini, Reg. No. 42,261

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



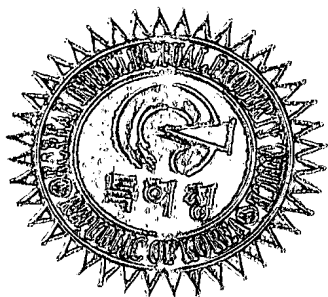
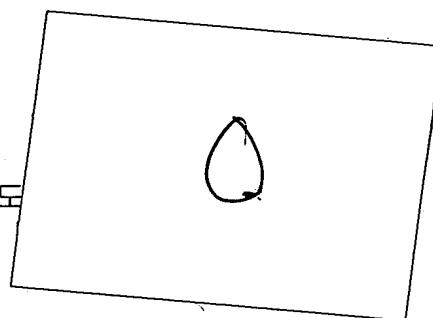
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0017568
Application Number

출원년월일 : 2003년 03월 20일
Date of Application MAR 20, 2003

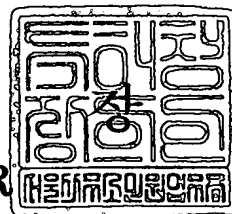
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【제출일자】 2003.03.20

【발명의 명칭】 유효 데이터 윈도우의 조절이 가능한 반도체 메모리 장치의 데이터 출력 버퍼

【발명의 영문명칭】 DATA OUTPUT BUFFER CAPABLE OF CONTROLLING DATA VALID WINDOW IN SEMICONDUCTOR MEMORY DEVICES

【출원인】

 【명칭】 주식회사 하이닉스반도체

 【출원인코드】 1-1998-004569-8

【대리인】

 【명칭】 특허법인 신성

 【대리인코드】 9-2000-100004-8

 【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천

 【포괄위임등록번호】 2000-049307-2

【발명자】

 【성명의 국문표기】 전영진

 【성명의 영문표기】 JEON,Young Jin

 【주민등록번호】 701018-1800310

 【우편번호】 305-503

 【주소】 대전광역시 유성구 송강동 한마을아파트 108-1101

 【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	9 면	9,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	20 항	749,000 원
【합계】	787,000 원	

1020030017568

출력 일자: 2003/10/29

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 데이터 출력시 최초의 데이터가 빨리 나옴으로 인해 발생하는 유효 데이터 윈도우가 넓어지는 현상을 방지할 수 있는 데이터 출력 버퍼를 제공하기 위한 것으로, 이를 위해 본 발명은, 풀-업 제어신호와 풀-다운 제어신호를 입력받아 메모리 셀에서 리드된 데이터에 대응하는 전압레벨로 데이터 출력단을 구동하기 위한 구동부; 및 상기 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 상기 구동부의 출력이 하이 임피던스 상태를 유지하도록 하는 제어신호를 상기 구동부에 제공하기 위한 제어부를 포함하는 반도체 메모리장치의 출력 버퍼회로를 제공한다.

또한 본 발명은, 메모리 셀에서 리드된 데이터에 대응하는 풀-업 제어신호와 풀-다운 제어신호를 입력받아 래치하는 래치부; 상기 래치부의 출력을 증폭하여 출력하기 위한 데이터 출력 드라이버; 및 상기 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 상기 데이터 출력 드라이버의 출력이 하이 임피던스 상태를 유지하도록 하는 제어신호를 상기 래치부의 두 입력단에 제공하기 위한 제어부를 포함하는 반도체 메모리장치의 출력 버퍼회로를 제공한다.

【대표도】

도 4

【색인어】

데이터 출력 버퍼회로, tLZ, tAC, 데이터 출력 드라이버, 데이터 출력 프리드라이버, 래치, 데이터 출력 인에이블 신호, 인버터 체인, DRAM, 인터페이스.

【명세서】

【발명의 명칭】

유효 데이터 윈도우의 조절이 가능한 반도체 메모리 장치의 데이터 출력 버퍼{DATA OUTPUT BUFFER CAPABLE OF CONTROLLING DATA VALID WINDOW IN SEMICONDUCTOR MEMORY DEVICES}

【도면의 간단한 설명】

도 1은 종래기술에 따른 데이터 출력 버퍼회로를 도시한 회로도.

도 2는 도 1의 출력 버퍼회로를 사용하는 DDR SDRAM의 리드 명령시의 데이터 출력 파형을 도시한 타이밍도.

도 3은 종래기술에 따른 출력 버퍼회로를 사용한 DDR SDRAM의 리드시 AC 타이밍도.

도 4는 본 발명의 일실시예에 따른 데이터 윈도우 조절이 가능한 출력 버퍼를 도시한 회로도.

도 5는 도 4의 출력 버퍼회로를 적용한 DDR SDRAM의 리드시 동작을 나타내는 AC 타이밍도.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 제어부 110 : 지연부

111, 112 : 단위 지연부 120 : 스위칭부

200 : 구동부 210 : 래치부

220 : 데이터 출력 프리드라이버 230 : 데이터 출력 드라이버

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 메모리 장치의 출력 버퍼에 관한 것으로, 특히 유효 데이터 윈도우(Data valid window)의 조절이 가능한 반도체 메모리 장치의 출력 버퍼에 관한 것이다.
- <12> 칩(Chip) 등의 외부에는 출력 패드(Output pad), 외부 부하(Off-chip load) 및 최종적으로 측정 장비까지 포함하여 대략 수십 pF(약 50pF 내외)의 큰 부하가 연결된다. 따라서, 이런 큰 부하를 구동하기 위해서는 일반 버퍼의 설계기법 이외에 좀 더 특별한 기법이 필요하며, 이를 일반 버퍼와는 달리 출력 드라이버(Output driver)라고도 한다.
- <13> 도 1은 종래기술에 따른 데이터 출력 버퍼회로를 도시한 회로도이며, 도 2는 도 1의 출력 버퍼회로를 사용하는 DDR(Double Data Rate) SDRAM(Synchronous Dynamic Random Access Memory)의 리드 명령(Read command)시의 데이터 출력 파형을 도시한 타이밍도이다.
- <14> 도 1을 참조하면, 종래의 데이터 출력 버퍼회로는
- <15> 칩 내부의 데이터(Internal data) 예컨대, DRAM 셀 내부의 데이터 콘트롤 회로의 출력 데이터인 'NETUP1'과 'NETDN1'를 래치하는 래치부(10)와, 큰 사이즈로 데이터를 내보내는 데이터 출력 드라이버(Data out driver, 30)와, 데이터 출력 드라이버(30)를 구동하기 위한 데이터 출력 프리드라이버(Data out pre-driver, 20)를 구비하여 구성된다.

- <16> 한편, 전술한 'NETUP1'과 'NETDN1'의 두 신호는 각각 풀-업 제어신호와 풀-다운 제어신호라 할 수 있다.
- <17> 여기서, 'NETUP1'과 'NETUP2'는 인버터(IMV)를 한번 더 거치게 되므로 서로 다른 로직 값을 갖고, 'NETDN1'과 'NETDN2'는 서로 같은 로직 값을 갖는다.
- <18> 이하, 전술한 구성을 갖는 출력 버퍼회로의 동작을 도 2를 참조하여 설명한다.
- <19> 도 2에 도시된 바와 같이, 외부의 클럭(CLK) 입력에 대해서 DRAM의 리드 명령(COMMAND)이 발생하면 카스 레이턴시(CAS Latency) 후 데이터가 데이터 출력 버퍼회로를 통해 출력된다.
- <20> 데이터가 출력되지 않을 때는 'NETUP2' 노드가 전원전압 레벨(VDD)인 '로직 하이(이하 H이라 함)'를 유지하고, 'NETDN2' 노드는 접지전압 레벨(VSS)인 '로직 로우(이하 L이라 함)'를 유지하여 데이터 출력 드라이버(30)의 PMOS 트랜지스터(30a)와 NMOS 트랜지스터(30b)는 디스эй블(Disable)되고 그 출력(DQ)은 하이 임피던스(Hi-Z; High impedance) 상태를 유지한다. 여기서, 하이 임피던스(Hi-Z) 상태는 전원전압 레벨의 1/2 즉 'VDD/2' 레벨이다. 이 때, 데이터 콘트롤 회로는 'NETUP1'과 'NETDN1'에 모두 'L'의 값을 출력하게 된다.
- <21> 출력(DQ)이 'H'일 경우 'NETUP2'와 'NETDN2'는 모두 'L'의 값을 가져야 하므로 이 때, 데이터 콘트롤 회로는 'NETUP1'과 'NETDN1'에 각각 'H'와 'L'의 값을 출력하게 되며, 출력(DQ)이 'L'일 경우 'NETUP2'와 'NETDN2'는 모두 'H'의 값을 가져야 하므로 이 때, 데이터 콘트롤 회로는 'NETUP1'과 'NETDN1'에 각각 'L'와 'H'의 값을 출력하게 된다.
- <22> 한편, 도 2에 도시된 바와 같이 리드 명령(COMMAND)에 의해 데이터가 출력될 경우, 첫번째 데이터 출력(DQ)은 하이 임피던스(Hi-Z) 상태에서 출발해서 데이터를 출력하므로 다음의 연

속되는 데이터 D1, D2 및 D3에 비해서 출력이 빠르며, 특히 외부 클럭(CLK)에 대비하여 빠르게 출력되므로 고속의 인터페이스(Interface)에서 오류를 발생시킬 수 있다.

- <23> 도 3은 종래기술에 따른 출력 버퍼회로를 사용한 DDR SDRAM의 리드시 AC 타이밍도를 도시한다.
- <24> 도 3을 참조하면, 실제로 DDR SDRAM의 리드시 시스템 업체의 데이터 스펙(Spec)에서 외부 클럭(CLK) 대비 데이터 출력의 시점인 'tLZ'의 스펙을 만족하기가 어렵다.
- <25> 이렇듯, 종래의 출력 버퍼회로에서는 첫번째 데이터의 출력이 빨리 나옴으로 인해 'tLZ'의 스펙 예컨대, $\pm 700\text{ps}$ 을 만족하기가 어려우며, 이러한 문제점을 해결하기 위해 즉, 'tLZ'의 스펙을 맞추기 위해 데이터 출력 버퍼의 출력을 임의로 뒤로(외부 클럭(CLK)대비 + 방향으로) 지연시킬 경우 외부 클럭(CLK) 대비 출력 버퍼 데이터의 스큐(Skew) 스펙(tAC) 예컨대, $\pm 700\text{ps}$ 을 만족하기가 어려운 문제점이 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <26> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로서, 데이터 출력시 최초의 데이터가 빨리 나옴으로 인해 발생하는 유효 데이터 윈도우가 넓어지는 현상을 방지할 수 있는 데이터 출력 버퍼를 제공하는 것을 그 목적으로 한다.

【발명의 구성 및 작용】

- <27> 상기 목적을 달성하기 위하여 본 발명은, 폴-업 제어신호와 폴-다운 제어신호를 입력받아 메모리 셀에서 리드된 데이터에 대응하는 전압레벨로 데이터 출력단을 구동하기 위한 구동

부; 및 상기 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 상기 구동부의 출력이 하이 임피던스 상태를 유지하도록 하는 제어신호를 상기 구동부에 제공하기 위한 제어부를 포함하는 반도체 메모리장치의 출력 버퍼회로를 제공한다.

<28> 또한 상기 목적을 달성하기 위하여 본 발명은, 메모리 셀에서 리드된 데이터에 대응하는 풀-업 제어신호와 풀-다운 제어신호를 입력받아 래치하는 래치부; 상기 래치부의 출력을 증폭하여 출력하기 위한 데이터 출력 드라이버; 및 상기 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 상기 데이터 출력 드라이버의 출력이 하이 임피던스 상태를 유지하도록 하는 제어신호를 상기 래치부의 두 입력단에 제공하기 위한 제어부를 포함하는 반도체 메모리장치의 출력 버퍼회로를 제공한다.

<29> 종래의 기술에서는 첫번째 데이터 출력이 빨리 나옴으로 인해 'tLZ' 스펙의 오류가 있었다. 이를 해결하기 위해 도 1의 회로에서는 첫 데이터 출력시 특정 시간 동안 'NETUP2' 노드와 'NETDN2' 노드를 각각 'H'와 'L'로 유지한다면 이를 해결할 수 있다.

<30> 본 발명은 이러한 원리를 이용해 외부의 리드 명령을 지연시켜서 데이터 출력 인에이블 신호를 만들고, 이 신호가 '로직 하이'일 때만 내부 데이터를 외부로 출력할 수 있게 하여서 첫 데이터의 윈도우가 커지는 현상을 방지할 수 있도록 한다.

<31> 이하, 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

- <32> 도 4는 본 발명의 일실시예에 따른 데이터 윈도우 조절이 가능한 출력 버퍼를 도시한 회로도이며, 도 5는 도 4의 출력 버퍼회로를 적용한 DDR SDRAM의 리드시의 동작을 나타내는 AC 타이밍도이다.
- <33> 본 발명의 일실시예에서는 'tLZ'를 줄이는 방법을 이용하여 전술한 종래의 문제점을 해결하기 위해 도 4에서 출력버퍼의 출력을 특정 시간 동안 하이 임피던스(예컨대, VDD/2의 전압 레벨) 상태로 유지할 수 있는 회로를 추가하였다.
- <34> 본 발명의 데이터 출력 버퍼회로에서는 예컨대, 반도체 메모리 회로에서 리드 명령을 발생하였을 때, 이러한 리드 명령을 이용하여 데이터 출력 인에이블(Data Out Enable; 이하 DOE라 함) 신호를 생성한다. 즉, 'DOE' 신호는 리드 명령 이전에는 '로직 로우'를 유지하며, 리드 명령시 출력 데이터의 버스트 길이(Output data burst length) 만큼 '로직 하이'를 유지하는 신호이다.
- <35> 전술한 'DOE' 신호를 미세 조정이 가능한 지연부를 통해 특정 시간 만큼 지연된 'DOE' 신호 즉, 'DOE_DELAY' 신호와 그 역상인 'DOEB_DELAY' 신호를 각각 출력하고 이 두 신호를 통해 래치부로 인가되는 칩 내부의 데이터의 인가 여부를 결정한다.
- <36> 도 4를 참조하면, 본 발명의 데이터 출력 버퍼회로는, 풀-업 제어신호(IN1)와 풀-다운 제어신호(IN2)를 입력받아 메모리 셀에서 리드된 데이터에 대응하는 전압레벨로 데이터 출력단을 구동하기 위한 구동부(200)와, 메모리 셀에서 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 구동부(200)의 출력이 하이 임피던스(이하 Hi-Z라 함) 상태를 유지하도록 하는 제어신호(이하 DOE_DELAY라 함)를 구동부(200)에 제공하기 위한 제어부(100)를 구비하여 구성된다.

- <37> 여기서, 두 개의 입력신호인 IN1과 IN2를 각각 풀-업 제어신호와 풀-다운 제어신호라고 명명한 것은 구동부(200)의 출력단을 구동할 때 풀-업 제어신호 IN1이 '로직 하이'일 때, DQ를 '로직 하이'로 풀-업시키며, 풀-다운 제어신호 IN2가 '로직 로우'일 때 DQ를 '로직 로우'로 풀-다운시키며, 두 신호가 모두 '로직 로우'일 때 DQ는 하이 임피던스 상태를 유지하기 때문이다.
- <38> 일례로서, 풀-업 제어신호(IN1)와 풀-다운 제어신호(IN2)는 메모리 셀에서 리드된 데이터를 출력하기 위해 예컨대, 데이터 콘트롤 회로로부터 제공되는 신호라 할 수 있다.
- <39> 또한, 전술한 데이터 콘트롤 회로는 반도체 메모리 장치의 파이프 래치를 통과한 데이터를 데이터 출력 버퍼로 제공하기 위한 것이라 했을 때 예컨대, 메모리 셀에서 리드된 데이터가 '로직 하이'일 때 DQ 또한 '로직 하이'가 되도록 이에 대응하는 로직 값을 갖는 두 개의 출력 신호 여기서는 두 개의 입력신호인 IN1과 IN2를 출력한다.
- <40> 따라서, 전술한 데이터 콘트롤 회로는 DDR SDRAM의 경우에는 각각 상승(Rising)과 하강(Falling)에 해당하는 두 개의 차동증폭기(Differential amplifier)를 포함하며, 각 차동증폭기는 상승과 하강 클럭에 동기되어 동작하여, 각각 두 개의 출력 신호를 갖게 된다고 볼 수 있다.
- <41> 제어부(100)는 메모리 셀에서 리드된 데이터의 첫번째 출력을 외부클럭 대비 데이터 출력의 시점인 'tLZ' 스펙을 만족하도록 지연시키는 것으로, DOE 신호를 미세 조정이 가능하도록 지연시킨 것이며, DOE 신호는 구동부(200)의 출력인 DQ가 하이 임피던스 상태를 유지하도록 하는 구간에서는 '로직 하이'를 유지하며, 리드된 데이터가 출력되는 구간에서는 '로직 로우'를 유지한다.

- <42> 또한, 제어부(100)는 DOE를 'tLZ' 스펙을 만족하도록 지연시켜 DOE_DELAY 신호를 생성하기 위한 지연부(110)와, DOE_DELAY 신호에 응답하여 구동부(200)의 두 입력단(NETUP1, NETDN1)이 DQ가 Hi-Z를 유지하도록 하는 특정 로직 값(예컨대, 모두 '로직 로우')을 갖도록 하거나, 또는 각각 입력되는 두 입력신호(IN1, IN2)의 로직 값을 갖도록 하는 것을 스위칭하기 위한 스위칭부(120)로 구성된다.
- <43> 여기서, 지연부(110)는, 인버터 체인 구조로 이루어지는 바, 그 미세 조정량은 인버터 2단의 지연이 최소 단위이다. 따라서, 적어도 2단의 단위 지연부(111, 112)를 포함하며, 이러한 단위 지연부(111, 112)의 단수를 조절하여 그 지연량을 조절하게 된다.
- <44> 직렬 연결된 두개의 단위 지연부(111, 112)는 이렇게 최소 단위로 2단 지연된 출력 'OUT2'와 4단 지연된 출력 'OUT1'의 두개의 출력을 각각 갖는다. 여기서, DOE 신호를 지연시켜 DOE_DELAY 신호를 생성하는 이유는 기준 클럭(또는 외부 클럭; CLK) 대비 데이터 출력의 시점을 나타내는 'tLZ(Data out impedance time from CLK/CLKB)'를 미세 조정하기 위한 것이며, 통상 2단 인버터의 지연량은 100ps이하 이다.
- <45> 스위칭부(120)는 DOE_DELAY 신호를 반전시켜 DOEB_DELAY 신호를 출력하는 인버터(201)와, DOE_DELAY 신호를 게이트 입력으로 하고 일측이 접지전압단(VSS)에 접속되며, 타측이 구동부(200)의 두 입력단(NETUP1, NETDN1)에 공통 접속된 스위칭 트랜지스터(N1)로 구성되는 바, 본 실시예에서는 NMOS 트랜지스터를 그 일예로 도시하였다.
- <46> 한편, 여기서는 스위칭 트랜지스터(N1)가 구동부(200) 구체적으로 래치부(210)의 두 입력단에 공통으로 연결된 것을 그 일예로 하였으나, DOE_DELAY 신호를 공통게이트 입력으로 하고, 일측이 접지전압단(VSS)에 접속되며 타측이 각각 래치부(210)의 다른 입력단에 연결되도록 할 수도 있다.

- <47> 구동부(200)는 메모리 셀에서 리드된 데이터를 데이터 출력 드라이버(230)를 통해 출력하기 위해 데이터 콘트롤 회로로부터 제공되는 두 입력 신호(IN1, IN2)를 래치하는 래치부(210)와, 래치부(210)에서 출력되는 두 신호 중 NETUP1 노드에 해당하는 신호를 반전시키기 위한 인버터(INV)와, 각각 반전 또는 반전되지 않은 래치부(210)의 두 출력을 입력으로 하며 데이터 출력 드라이버(230)를 구동하기 위한 데이터 출력 프리드라이버(220)와, 데이터 출력 프리드라이버(220)를 통해 전달된 데이터를 증폭하여 출력하기 위한 데이터 출력 드라이버(230)를 구비하여 구성된다.
- <48> 래치부(210)는 NETUP1과 인버터(INV) 사이에서 서로의 출력이 상호 연결된 두개의 인버터로 구성된 제1래치부(211)와, NETDN1과 데이터 출력 프리드라이버 사이에 서로의 출력이 상호 연결된 두개의 인버터로 구성된 제2래치부(212)로 이루어진다.
- <49> 전술한 바와 같이 본 발명에서는 외부의 리드 명령에 의해 생성된 DOE 신호를 지연시켜 DOE_DELAY 신호를 만들고, 이 신호가 '로직 하이'일 때만 내부 데이터를 외부로 출력할 수 있게 하여서 첫 데이터의 윈도우가 커지는 현상을 방지할 있도록 하는 바, 이 때 단위 지연부(101, 102)의 인버터의 숫자 즉, 단수를 조절함으로써 지연량의 조절이 가능하도록 하였다.
- <50> 한편, 이러한 인버터의 숫자를 조절하는 것 이외에 반도체 공정상 최상위층에 해당하는 메탈 옵션(Metal option)을 변경하여도 지연량을 조절할 수 있다.
- <51> 여기서, 래치부(210)는 NETUP1 노드와 인버터(INV) 사이에 교차 연결된(Cross-coupled) 두 개의 인버터로 구성된 형태를 그 예를 하였으나, 이외에도 플립플롭(Flip-flop) 등 다양한 형태의 조합으로도 그 구성이 가능하다.

- <52> 이하, 전술한 구성을 갖는 본 발명의 출력 버퍼회로의 동작을 도 5를 참조하여 상세히 살펴 본다.
- <53> 지연된 DOE 신호는 DOE_DELAY 신호와 DOEB_DELAY 신호의 두가지 형태로 출력되며, 데이터 출력 버퍼의 DQ가 Hi-Z 상태를 유지하고자 하는 구간에서는 DOEB_DELAY 신호가 '로직 하이' 즉, DOE_DELAY 신호가 '로직 로우'의 값을 갖도록 한다.
- <54> DOE_DELAY 신호가 '로직 하이'가 되면 DOEB_DELAY 신호는 '로직 로우'의 값을 가져 NMOS 트랜지스터(N1)가 턴-오프되므로, NETUP1과 NETDN1은 입력신호(IN1, IN2)의 레벨을 갖게 되어 하기에 도시된 표 1의 동작을 수행하게 되며, DOE_DELAY 신호가 '로직 로우'가 되면 DOEB_DELAY 신호는 '로직 하이'의 값을 가져 NMOS 트랜지스터(N1)가 턴-온되므로, NETUP1과 NETDN1은 '로직 로우'의 레벨을 갖게 된다.
- <55> 【표 1】

NETUP1	NETDN1	NETUP2	NETDN2	DQ
H	L	L	L	H
L	H	H	H	L
L	L	H	L	Hi-Z
H	H	L	H	illegal

- <56> NETUP1과 NETDN1이 '로직 로우'의 레벨을 갖게 되면 NETUP2는 '로직 하이'가 되고 NETDN2는 '로직 로우'의 레벨을 갖게되므로, P1과 N2가 모두 턴-온되어 DQ는 Hi-Z 상태를 유지하게 된다.
- <57> 이러한 DQ의 Hi-Z 상태는 전술한 바와 같이 'tLZ' 스펙을 만족할 수 있을 정도로 유지되는 것이 바람직하다. 따라서, 단위 지연부(111, 112)의 단수를 조절하여 이러한 DQ의 Hi-Z 유

지 기간을 조절한 다음, DOE_DELAY 신호를 '로직 하이'로 하여 입력신호 IN1과 IN2를 통해 DQ를 출력하게 된다.

<58> 이하, 표 1을 참조하여 출력부의 동작을 살펴 본다.

<59> 전술한 바와 같이 DOE 신호와 DOE_DELAY 신호를 통해 최초의 데이터가 출력되는 시간을 일정 시간 지연시켜 출력한 다음, 메모리 셀에 리드된 데이터가 '로직 하이'일 경우 외부의 컨트롤 회로로부터 NETUP1 노드와 NETDN 노드로 입력되는 풀-업 제어신호 IN1과 풀-다운 제어신호 IN2는 각각 '로직 하이'와 '로직 로우'의 값을 갖게 된다. 이 때, NETUP2와 NETDN2는 모두 '로직 로우'의 값을 갖게 되므로, N2는 턴-오프되고 P1이 턴-온되어 DQ를 통해 VDD 레벨 즉, '로직 하이'가 출력된다.

<60> 메모리 셀에 리드된 데이터가 '로직 로우'일 경우 외부의 컨트롤 회로로부터 NETUP1 노드와 NETDN 노드로 입력되는 풀-업 제어신호 IN1과 풀-다운 제어신호 IN2는 각각 '로직 로우'와 '로직 하이'의 값을 갖게 된다. 이 때, NETUP2와 NETDN2는 모두 '로직 하이'의 값을 갖게 되므로, P1은 턴-오프되고 N2는 턴-온되어 DQ를 통해 VSS 레벨 즉, '로직 로우'가 출력된다.

<61> 반면, 전술한 바와 같이 DQ의 Hi-Z 상태 유지를 위해서는 NETUP1과 NETDN1 노드가 모두 '로직 로우'의 값을 갖으며, NETUP1과 NETDN 노드의 값이 모두 '로직 하이'인 경우에서 DQ는 'illegal' 즉, 존재하지 않는다.

<62> 따라서, 전술한 바와 같이 DOE를 지연시켜 DOE_DELAY를 만들어 최초의 데이터가 출력되는 시점을 도 5에 도시된 화살표와 같이 미세 조정할 수 있다.

<63> 전술한 실시예에서 데이터가 Hi-Z 상태를 유지하고자 할 때 DOE 신호는 '로직 로우'이며, 데이터가 출력될 때 '로직 하이'를 유지한다고 하였으나, 이는 스위칭부(120)에서

NMOS 트랜지스터(N1) 대신 PMOS 트랜지스터를 사용하는 경우에는 그 로직 값이 반대일 때 전술한 일예와 동일한 동작을 할 수 있다.

<64> 따라서, 본 발명의 출력 버퍼회로에서는 'tLZ' 스펙과 'tAC(Data out access time from CLK/CLKB)' 스펙을 별도로 조절이 가능하다.

<65> 종래의 경우 도 3의 타이밍도에서 'tLZ'의 스펙을 만족하기 위해 내부 데이터 출력을 지연시켜 모든 데이터의 출력을 지연시킨다면, 첫 데이터(D0)의 'tLZ' 스펙은 만족할 수 있으나, 연속하는 'tAC' 스펙은 기준 클럭(CLK) 대비 (+) 방향으로 치우쳐 만족하기가 어려웠다.

<66> 그러나, 본 발명에서는 도 5에 도시된 바와 같이, 예컨대, DDR SDRAM 등 고속의 인터페이스에서 만족하기 힘든 스펙인 'tAC' 스펙을 만족하면서 동시에 'tLZ' 스펙을 미세 조절이 가능하게 한다.

<67> 또한, DRAM의 모듈(Module)의 경우 8 ~ 16개의 DRAM 칩으로 구성되며, 각각의 DRAM에서 출력 파형의 윈도우가 넓어지거나 좁아진다면 다른 칩의 동작에 영향을 줄 수 있으므로 데이터 윈도우의 미세 조절은 DRAM 모듈의 정상 동작에도 상당한 개선이 된다.

<68> 이상에서 본 발명의 기술 사상을 바람직한 실시예에 따라 구체적으로 기술하였으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<69> 상기와 같이 이루어지는 본 발명은, 데이터 액세스 타임(tAC)의 스펙을 만족하면서 기준 클럭 대비 데이터 출력 시점(tLZ)의 미세 조절이 가능하게 하고, 데이터 윈도우를 미세 조절할 수 있어, 궁극적으로 출력 버퍼회로의 성능을 크게 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

풀-업 제어신호와 풀-다운 제어신호를 입력받아 메모리 셀에서 리드된 데이터에 대응하는 전압레벨로 데이터 출력단을 구동하기 위한 구동수단; 및

상기 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 상기 구동수단의 출력이 하이 임피던스 상태를 유지하도록 하는 제어신호를 상기 구동수단에 제공하기 위한 제어수단

을 포함하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 2】

제 1 항에 있어서,

상기 제어수단은,

상기 리드된 데이터의 첫번째 출력을 외부클럭 대비 데이터 출력의 시점인 'tLZ' 스펙을 만족하도록 지연시키는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 제어신호는,

데이터 출력 인에이블 신호를 지연시킨 것임을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 4】

제 3 항에 있어서,

상기 데이터 출력 인에이블 신호는,

데이터 리드 명령 이전에는 '제1로직'을 유지하며, 리드 명령시에는 출력되는 데이터의 버스트 길이 만큼 '제2로직'을 유지하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 5】

제 4 항에 있어서,

상기 데이터 출력 인에이블 신호는,

상기 출력수단의 출력이 하이 임피던스 상태를 유지하도록 하는 구간에서는 '제1로직'을 유지하며, 상기 리드된 데이터가 출력되는 구간에서는 '제2로직'을 유지하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 6】

제 3 항에 있어서,

상기 제어수단은,



상기 데이터 출력 인에이블 신호를 지연시켜 상기 제어신호를 생성하기 위한 지연부; 및
상기 제어신호에 응답하여 상기 구동수단의 두 입력단이 그 출력이 하이 임피던스를 갖
도록 하는 특정 로직 값을 갖거나, 또는 상기 풀-업 제어신호와 상기 풀-다운 제어신호의 로직
값을 갖도록 스위칭하기 위한 스위칭부를 포함하는 것을 특징으로 하는 반도체 메모리장치의
출력 버퍼회로.

【청구항 7】

제 6 항에 있어서,

상기 지연부는, 인버터 체인 구조를 갖는 적어도 2단의 단위 지연부를 포함하는 것을 특
징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 8】

제 7 항에 있어서,

상기 제어수단은, 상기 단위 지연부의 단수를 조절하여 그 지연량을 조절하는 것을 특징
으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 9】

제 6 항에 있어서,

상기 스위칭부는,

상기 제어신호를 반전시키는 제1인버터와,

상기 제어신호를 게이트 입력으로 하고 일측이 접지전압단에 접속되며, 타측이 상기 출력수단의 두 입력단에 공통 접속된 스위칭 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 10】

메모리 셀에서 리드된 데이터에 대응하는 풀-업 제어신호와 풀-다운 제어신호를 입력받아 래치하는 래치수단;

상기 래치수단의 출력을 증폭하여 출력하기 위한 데이터 출력 드라이버; 및

상기 리드된 데이터의 첫번째 출력을 일정 시간 동안 지연시켜, 상기 지연되는 구간에서 상기 데이터 출력 드라이버의 출력이 하이 임피던스 상태를 유지하도록 하는 제어신호를 상기 래치수단의 두 입력단에 제공하기 위한 제어수단

을 포함하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 11】

제 10 항에 있어서,

상기 제어수단은,

상기 리드된 데이터의 첫번째 출력을 외부클럭 대비 데이터 출력의 시점인 'tLZ' 스펙을 만족하도록 지연시키는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 12】

제 10 항 또는 제 11 항에 있어서,

상기 제어신호는,

데이터 출력 인에이블 신호를 지연시킨 것임을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 13】

제 12 항에 있어서,

상기 데이터 출력 인에이블 신호는,

데이터 리드 명령 이전에는 '제1로직'을 유지하며, 리드 명령시에는 출력되는 데이터의 버스트 길이 만큼 '제2로직'을 유지하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 14】

제 13 항에 있어서,

상기 데이터 출력 인에이블 신호는,

상기 출력수단의 출력이 하이 임피던스 상태를 유지하도록 하는 구간에서는 '제1로직'을 유지하며, 상기 리드된 데이터가 출력되는 구간에서는 '제2로직'을 유지하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 15】

제 12 항에 있어서,

상기 제어수단은,

상기 데이터 출력 인에이블 신호를 지연시켜 상기 제어신호를 생성하기 위한 지연부; 및

상기 제어신호에 응답하여 상기 구동수단의 두 입력단이 그 출력이 하이 임피던스를 갖도록 하는 특정 로직 값을 갖거나, 또는 상기 풀-업 제어신호와 상기 풀-다운 제어신호의 로직 값을 갖도록 스위칭하기 위한 스위칭부를 포함하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 16】

제 15 항에 있어서,

상기 지연부는, 인버터 체인 구조를 갖는 적어도 2단의 단위 지연부를 포함하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 17】

제 16 항에 있어서,

상기 제어수단은, 상기 단위 지연부의 단수를 조절하여 그 지연량을 조절하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 18】

제 15 항에 있어서,

상기 스위칭부는,

상기 제어신호를 반전시키는 제1인버터와,

상기 제어신호를 게이트 입력으로 하고 일측이 접지전압단에 접속되며, 타측이 상기 래치수단의 두 입력단에 공통 접속된 스위칭 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 19】

제 10 항에 있어서,

상기 래치수단에서 출력되는 두 신호 중 어느 하나의 신호를 반전시키기 위한 제2인버터와,

각각 반전 및 반전되지 않은 상기 래치수단의 두 출력을 입력으로 하며 상기 데이터 출력 드라이버를 구동하기 위한 데이터 출력 프리드라이버를 더 포함하는 것을 특징으로 하는 반도체 메모리장치의 출력 버퍼회로.

【청구항 20】

제 19 항에 있어서,

상기 래치수단은,

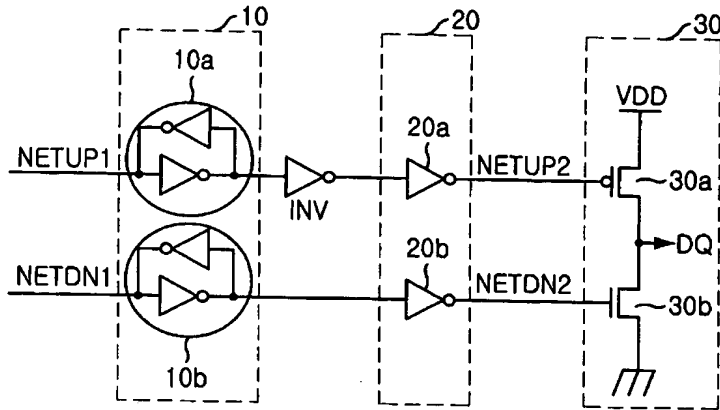


상기 두 입력단 중 어느 하나의 입력단과 상기 제2인버터 사이에 서로의 출력이 상호 연결된 두개의 인버터로 구성된 제1래치부와,

상기 두 입력단 중 다른 하나의 입력단과 상기 데이터 출력 프리드라이버 사이에 서로의 출력이 상호 연결된 두개의 인버터로 구성된 제2래치부를 포함하는 것을 특징으로 하는 출력 버퍼회로.

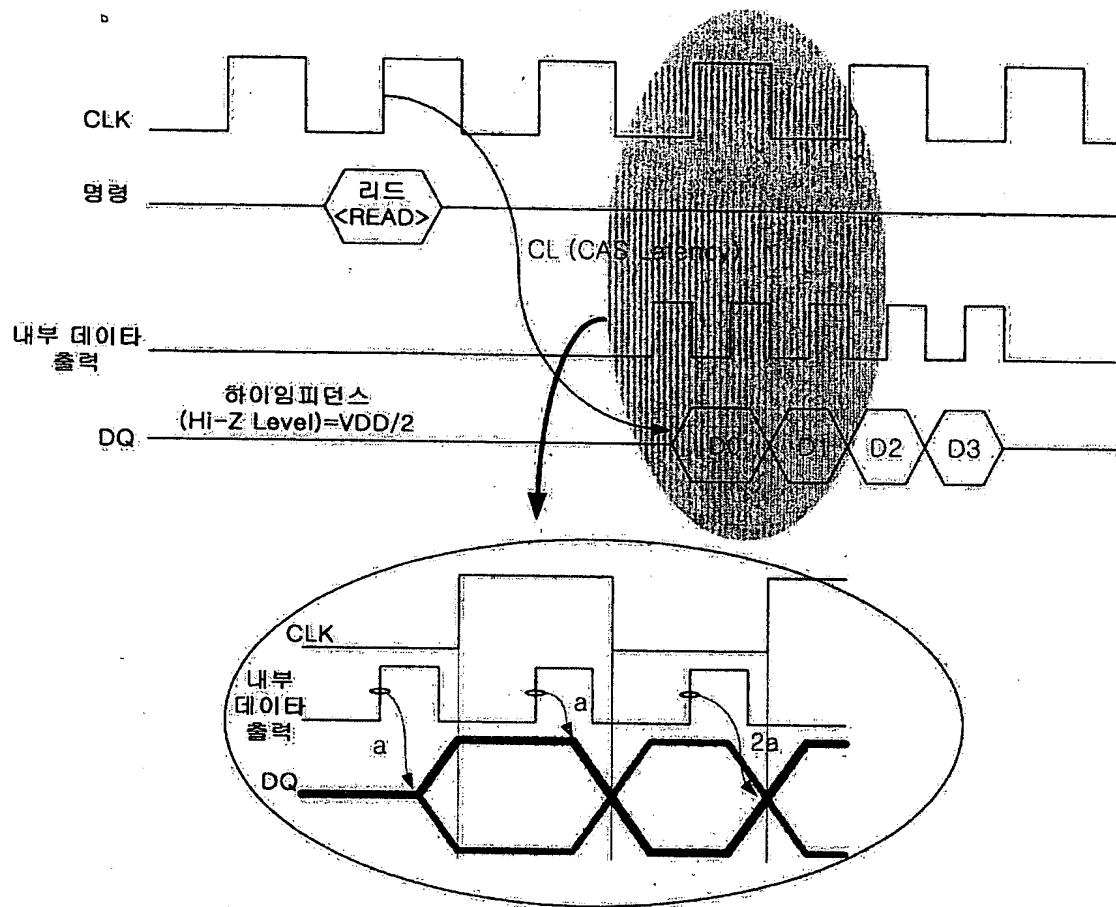
【도면】

【도 1】

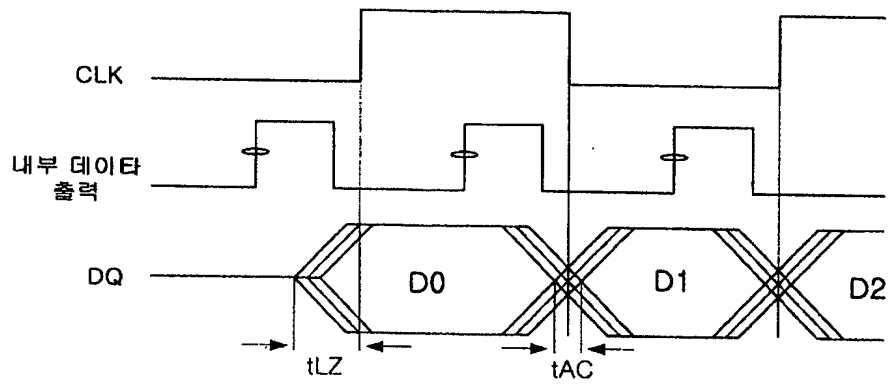


NETUP1	NETDN1	NETUP2	NETDN2	DQ
H	L	L	L	H
L	H	H	H	L
L	L	H	L	Hi-Z
H	H	L	H	Illegal

【도 2】

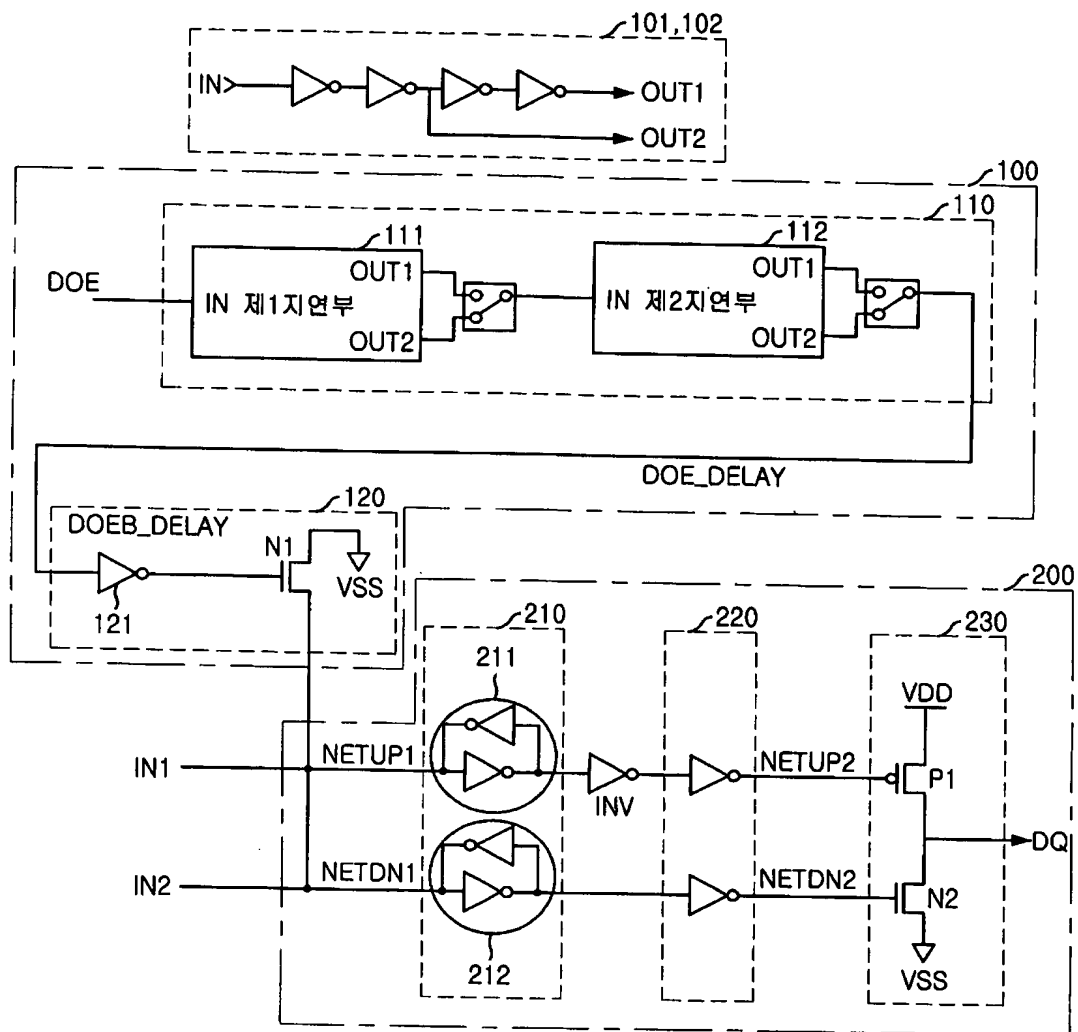


【도 3】



	DDR266		DDR333	
	MIN	MAX	MIN	MAX
t_{AC}	-750 ps	+750 ps	-700 ps	+700 ps
t_{LZ}	-750 ps	+750 ps	-700 ps	+700 ps

【도 4】





【도 5】

